

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-185559

(43)Date of publication of application : 06.07.2001

(51)Int.Cl.

H01L 21/338

H01L 29/812

H01L 21/205

H01L 29/778

(21)Application number : 11-368916

(71)Applicant : NATL INST OF ADVANCED
INDUSTRIAL SCIENCE &
TECHNOLOGY METI
SUGAYA TAKEYOSHI
OGURA MUTSURO
SUGIYAMA YOSHINOBU

(22)Date of filing : 27.12.1999

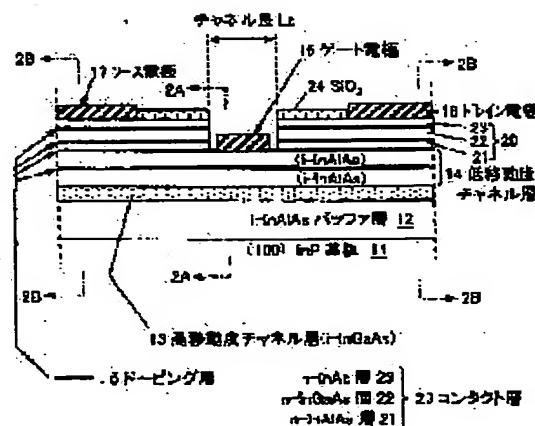
(72)Inventor : SUGAYA TAKEYOSHI
KIN SEICHIN
OGURA MUTSURO
SUGIYAMA YOSHINOBU

(54) NEGATIVE RESISTANCE FIELD-EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a negative resistance characteristic field-effect transistor having also low power consumption, high frequency performance, and desirably high PVCR.

SOLUTION: In the structure of this field-effect resistor that uses a compound heterojunction, a dual channel layer (13 plus 14) consisting of the high-mobility channel layer 13 and a low-mobility channel layer 14 is formed on a substrate 11. In this dual channel layer (13 plus 14), the width of a channel in the direction normal to the lengthwise direction of the channel, where hot carriers travel is narrowed down to a width in which the properties of at least a single quantum wire appears.



[本発明] 負抵抗電界効果トランジスタ 13

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-185559

(P2001-185559A)

(43) 公開日 平成13年7月6日 (2001.7.6)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 21/338
29/812
21/205
29/778

H 0 1 L 21/205
29/80

5 F 0 4 5
B 5 F 1 0 2
H

審査請求 未請求 請求項の数16 O L (全 8 頁)

(21) 出願番号 特願平11-368916

(22) 出願日 平成11年12月27日 (1999.12.27)

特許法第30条第1項適用申請有り 1999年6月28日～6月30日、開催の「1999 57TH ANNUAL DEVICE RESEARCH CONFERENCE DIGEST」において文書をもって発表

(71) 出願人 301000011

経済産業省産業技術総合研究所長

東京都千代田区霞が関1丁目3番1号

(71) 出願人 500017302

菅谷 武芳

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(71) 出願人 599013740

小倉 睦郎

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

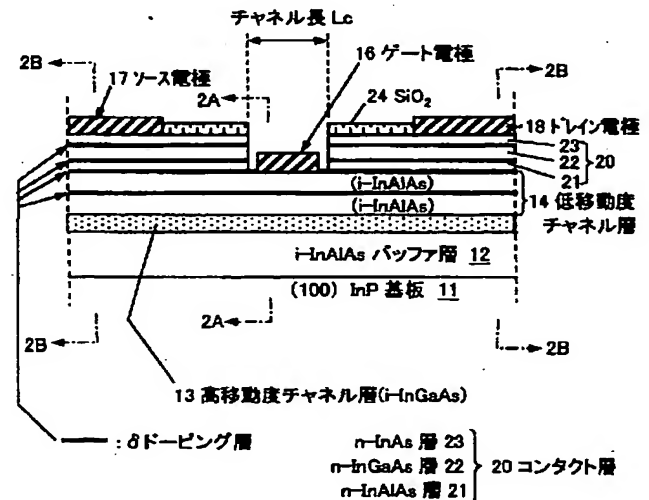
最終頁に続く

(54) 【発明の名称】 負性抵抗電界効果トランジスタ

(57) 【要約】

【課題】 低消費電力で高周波性能も高く、望ましくはさらにPVC特性も高い負性抵抗特性電界効果トランジスタを提供する。

【解決手段】 化合物ヘテロ接合を用いた電界効果トランジスタ構造で、基板11上に高移動度チャンネル層13と低移動度チャンネル層14とから成るデュアルチャンネル層 (13+14) を形成する。このデュアルチャンネル層 (13+14) にあってホットキャリアの走行するチャンネル長方向と直交する方向のチャンネル幅を、少なくとも量子細線の特質の現れる幅にまで狭める。



(本発明) 負性抵抗電界効果トランジスタ 10

【特許請求の範囲】

【請求項 1】 化合物ヘテロ半導体の積層構造として、相対的に狭いエネルギーバンドギャップの高移動度チャンネル層と相対的に広いエネルギーバンドギャップの低移動度チャンネル層とが接合しているデュアルチャンネル層を基板上に有すると共に、それぞれコンタクト層を介して上記高移動度チャンネル層に電氣的に導通する一方、互いには離間したソース、ドレイン電極と、該ソース、ドレイン電極の間に設けられ、絶縁層を介するかショットキ接合を介して上記デュアルチャンネル層に臨むゲート電極とを有して成り、上記ドレイン電極に印加するドレイン電圧により上記高移動度チャンネル層を走行するキャリアをホットキャリアとし、上記ゲート電極に印加する電圧によって上記高移動度チャンネル層内の上記ホットキャリアを上記低移動度チャンネル層に実空間遷移させ、もってドレイン電流に関し負性抵抗特性を発現させる負性抵抗電界効果トランジスタであって；上記デュアルチャンネル層にあって上記ホットキャリアの走行するチャンネル長方向と直交する方向のチャンネル幅を、少なくとも量子細線の特質の現れる幅にまで狭めたこと；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 2】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記デュアルチャンネル層はリッジ形状の上記基板上に成長させられることで細幅化が果たされたものであること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 3】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記低移動度チャンネル層内には部分的に伝導帯エネルギーを低めるデルタドーピング層が設けられていること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 4】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記デュアルチャンネル層のチャンネル幅は 200nm 以下であって、該デュアルチャンネル層は量子細線となっていること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 5】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記デュアルチャンネル層のチャンネル幅は 100nm 以下であること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 6】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記デュアルチャンネル層の上記チャンネル幅は 500nm 以下であって、上記チャンネル長は該デュアルチャンネル層に現れる量子細線の特質を損なわない長さに留められていること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 7】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記低移動度チャンネル層は上記高移動度チャンネル層から見て上記ゲート電極の側に位置していること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 8】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記低移動度チャンネル層は上記高移動度チャンネル層から見て上記基板の側に位置していること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 9】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記低移動度チャンネル層は上記高移動度チャンネル層から見て上記ゲート電極の側にも上記基板の側にも位置しており、上記デュアルチャンネル層はこれら三層の接合構造となっていること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 10】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記基板と上記デュアルチャンネル層との間にはバッファ層が設けられていること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 11】 請求項 1 記載の負性抵抗電界効果トランジスタであって；上記基板はリッジ形状の (100) 面 InP 基板、上記高移動度チャンネル層は該リッジ形状基板の上に形成されたノンドープ InGaAs 層であり、上記低移動度チャンネル層は該リッジ形状基板の上に形成され、その厚みの途中に n 型シリコン原子層によるデルタドーピング層を含むノンドープ InAlAs 層であること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 12】 請求項 11 記載の負性抵抗電界効果トランジスタであって；上記コンタクト層は n 型 InGaAs 層と n 型 InAs 層との接合構造を含むこと；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 13】 請求項 11 記載の負性抵抗電界効果トランジスタであって；上記低移動度チャンネル層と上記ゲート電極とがショットキ接合を形成していること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 14】 請求項 13 記載の負性抵抗電界効果トランジスタであって；上記高移動度チャンネル層と上記基板との間にはノンドープ InAlAs 層によるバッファ層が介在していること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 15】 請求項 11 記載の負性抵抗電界効果トランジスタであって；上記デュアルチャンネル層のチャンネル幅は 200nm 以下であり、上記ソース電極を上記高移動度チャンネル層に電氣的に導通を取らせれる上記コンタクト層と上記ドレイン電極を上記高移動度チャンネル層に電氣的に導通を取らせれる上記コンタクト層とは互いに近接し、上記ゲート電極下にあってそれらコンタクト層の近接距離により実効的に定められるチャンネル長は 100nm 以下であること；を特徴とする負性抵抗電界効果トランジスタ。

【請求項 16】 請求項 15 記載の負性抵抗電界効果トランジスタであって；上記チャンネル長は 50nm 以下であること；を特徴とする負性抵抗電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負性抵抗特性 (ND R: Negative Differential Resistance) を呈する電界効果トランジスタに関し、特に低消費電力、高周波特性の向上を図り、さらに望ましくは、負性抵抗特性を呈する直前のドレイン電流値と負性抵抗特性が起きた直後のドレイン電流値との比であって負性抵抗効果の大きさを測る目安となるピーク・バレー電流比 (Peak-to-Valley Current Ratio: 以下、PVCRと略す) を高めるための改良に関する。なお、負性抵抗特性を呈する電界効果トランジスタを、本書では一般的な呼び方に従い、単に負性抵抗電界効果トランジスタと呼ぶ。

【0002】

【従来の技術】半導体集積回路では負性抵抗特性を有する素子が要求される場合も多い。他の能動素子と同様、こうした負性抵抗素子でも、より低消費電力で動作し、高速動作可能な (高周波特性の良好な) 素子である程に望ましいことはもちろんで、これまでに種々の研究がなされてきた。

【0003】周知のガン効果による位相空間遷移を利用した素子や実空間遷移を利用した素子として、まずは制御端子を持たない、いわゆる二端子素子として、位相空間遷移を利用した素子がある。この素子では、電界による加速により、移動度の大きな π バレーから移動度の小さい X バレーや L バレーに走行電子を遷移させ、バンド間の移動度の違いを利用して負性抵抗特性を得る、一方、実空間遷移を利用した二端子素子もあり、この素子では、ヘテロ多層構造における複数の導電チャンネル層の間を実空間にて遷移させ、チャンネル間の移動度の違いを利用して負性抵抗特性を得る。

【0004】確かに、こうした二端子素子は構造が単純で、通常の電界効果トランジスタに比しても素子の製造プロセス工程を簡単にし得る大きな利点があるものの、制御端子がないので外部からの制御に限界があり、論理素子への応用や集積化素子としてはなじまないことが多い。増幅機能等も当然に見込むことができない。

【0005】そこで、少なくとも三端子構造を有する素子が求められるが、例えばダブルバリアトンネルダイオードとホットエレクトロントランジスタとを組み合わせ、負性抵抗特性を利用しての高速動作性を生かしながら NORゲートの構成素子数を大きく低減するに成功した例 (文献1: "A New Functional, Resonant-Tunneling Hot Electron Transistor", Naoki Yokoyama他, Jpn. App. l. Phys, Vol. 24, No. 11, November 1985, pp. L853-854) や、マイクロ波電圧制御発振器 (VCO) を実現するため、RHET (Resonant-Tunneling Hot Electron Transistor) を用いることで発振器の構成素子数を減少させた例 (文献2: "Quantum Functional Devices for increased functionality QMMICs", N. El-Zein 他, Extended Abstract of 17th Symposium on Future Electron Devices, p. 29-34, Tokyo, 1998.) が報告されている。

【0006】しかし、これらの素子もまた、単体の能動三端子素子ではなく、用途に制限のあることや、必要な層を予めエピタキシャル成長させてから素子作製に移らねばならず、ダブルバリアトンネル素子の不要部分をエッチング工程により正確に除去してからホットエレクトロントランジスタやHEMTを構築する工程も簡単とは言えない。

【0007】これに対し、制御端子を有する単体の電界効果トランジスタ構造として、化合物ヘテロ接合構造を用い、エネルギーバンドギャップが相対的に狭く、高移動度の層部分を電子の主たる走行チャンネル層とし、これに接してその上部あるいは下部に、エネルギーバンドギャップが相対的に広く、低移動度の層部分を第二のチャンネル層として設けた構造の提案もある (文献4: "Enhanced Resonant Tunneling Real-Space Transfer in delta-Doped GaAs/InGaAs Gated Dual-Channel Transistors Grown by MOCVD" Chang-Luen Wu 他, IEEE Transactions on Electron Devices vol. 43 No. 2. (1996) 207)。このようなデュアルチャンネル層構造を有する低次元電界効果トランジスタでは、ドレイン電圧により加速されて両チャンネル層間のポテンシャル障壁のエネルギーレベルに達した走行電子を、ゲート電圧を正に印可することで、ゲートと主たるチャンネル層とに挟まれた低移動度チャンネル層に実空間遷移させる。低移動度チャンネル層に遷移した電子は減速して走行するか停留し、その結果、高移動度チャンネル層を走行する電子の面密度は、ゲート電圧により電荷中性条件を満たすため誘起される総電荷量から、低移動度チャンネル層に停滞する電荷を減じたものになって、ゲートバイアスが負にバイアスされたのと同じ効果が生じ、高移動度チャンネル層内の電子が減少することで実質的にドレイン電流が減少し、負性抵抗特性の発現となる。

【0008】

【発明が解決しようとする課題】しかし、提案されているこの電界効果トランジスタでは、ドレイン電圧に1V以上の電圧を要し、決して低消費電力素子とは言えない。低消費電力素子とするためにはこれを低めねばならない。また、高周波性能も高くする必要があり、その点でもこの従来素子は満足でない。さらに、望ましくはPVCRは高い方がよい。本発明はこうした目的意識の下に成されたものである。

【0009】

【課題を解決するための手段】本発明では上記目的を達成するため、化合物ヘテロ半導体の積層構造として、相対的に狭いエネルギーバンドギャップの高移動度チャンネル層と相対的に広いエネルギーバンドギャップの低移動度チャンネル層とが接合しているデュアルチャンネル層を基板上に有すると共に、それぞれコンタクト層を介して高移動度チャンネル層に電気的に導通する一方、互いには離間したソース、ドレイン電極と、これらソース、ドレイン電

極の間に設けられ、絶縁層を介するかショットキ接合を介して上記のデュアルチャネル層に臨むゲート電極とを有して成り、ドレイン電極に印加するドレイン電圧により高移動度チャネル層を走行するキャリアをホットキャリアとし、ゲート電極に印加する電圧によって高移動度チャネル層内のホットキャリアを低移動度チャネル層に実空間遷移させ、もってドレイン電流に関し負性抵抗特性を発現させる負性抵抗電界効果トランジスタの改良として、チャネルを走行するキャリアに対し、量子細線の特質に基づく効果を与えることを提案する。すなわち、上記のデュアルチャネル層にあってホットキャリアの走行するチャネル長方向と直交する方向のチャネル幅を、少なくとも量子細線の特質の現れる幅にまで狭めることを提案する。

【0010】さらに望ましくは、デュアルチャネル層はリッジ形状の基板上に成長させられることで細幅化が果たされたものであることを提案する。というよりも、リッジ型の基板上に成長して行く層は幅狭になって行く傾向があるので、このことを有効に利用し、リッジ型基板上にデュアルチャネルを形成すれば、その膜厚に対応してチャネル幅を狭めることができる。

【0011】また、ホットキャリアが低移動度チャネル層に実空間遷移し易くし、遷移したキャリアが安定に当該低移動度チャネル層に停留するか走行するように図るためには、この低移動度チャネル層内に部分的（局所的）に伝導帯エネルギーを低めるデルタドーピング層を設けると良い。この部分で伝導帯エネルギーが低減し、エネルギーバンドに凹みが生ずるからである。

【0012】なお、量子細線の特質に基づく効果とは、主としては高移動度チャネル層中を走行するキャリアに及ぼす影響として走行方向に直交する方向のエネルギー励起を生じさせ、また、バリスティックな走行を可能ならしめることであるが、デュアルチャネル層のチャネル幅が例えば 200nm 以下であれば、そうした量子細線の特質が十分に発現する寸法領域にあると言える。つまり、100nm 以下であれば完全に量子細線と呼べるが、100nm 以上であっても 200nm 以下であれば、少なくとも擬似量子細線と呼べ（寧ろ 300nm 程度までは十分、そう呼べる）、後述の実施形態にも認められるように、量子細線の特質に基づく効果を有効に発現させることができる。

【0013】逆に、デュアルチャネル層のチャネル幅をさらに広くし、300nm 以上、500nm 以下程度にまで広げても、チャネル長を十分短く取ること、量子細線によるホットキャリアの散乱抑制効果を受け得るようになる。つまり、チャネル長はデュアルチャネル層に現れる量子細線の特質を損なわない長さに留めれば良い。

【0014】低移動度チャネル層は、高移動度チャネル層から見てゲート電極の側に位置するように構成する場合が多いが、高移動度チャネル層から見て基板の側に位置する構造としても良いし、高移動度チャネル層を挟む

格好でその上下に共に位置する構造としても良い。最後の場合、積層構造としてデュアルチャネル層は物理的ないし機械的に見ると三層以上の複数層構造となるが、機能的な意味においては高移動度チャネル層と低移動度チャネル層とを有するデュアルチャネル層構造であることに変わりはない。

【0015】デュアルチャネル層は基本的には基板上に設けられていれば良く、基板との直接的な接触で良い場合もあるが、当該基板と当該デュアルチャネル層との間には主として結晶性を良くするために、一般的にはバッファ層が設けられているのが良い。

【0016】さらに本発明の下位態様における望ましい構成としては、基板はリッジ形状の (100) 面 InP 基板であり、高移動度チャネル層はリッジ形状基板の上に形成されたノンドープ InGaAs 層であり、低移動度チャネル層はリッジ形状基板の上に形成され、その厚みの途中に n 型シリコン原子層によるデルタドーピング層をむノンドープ InAlAs 層であるのが良い。

【0017】これに加え、コンタクト層は n 型 InGaAs 層と n 型 InAs 層との接合構造を含むと良く、低移動度チャネル層とゲート電極とがショットキ接合を形成していると良い。化合物ヘテロ半導体系では絶縁膜を介してのゲート電極はどちらかと言えば作り難いからである（排斥するものではない）。

【0018】さらに、高移動度チャネル層と基板との間にはノンドープ InAlAs 層によるバッファ層が介在していることが良いし、具体的な寸法に関しても、デュアルチャネル層のチャネル幅は 200nm 以下であり、ソース電極を高移動度チャネル層に電気的に導通を取らせれるコンタクト層とドレイン電極を高移動度チャネル層に電気的に導通を取らせれるコンタクト層とは互いに近接し、ゲート電極下にあってそれらコンタクト層の近接距離により実効的に定められるチャネル長は 100nm 以下であることが望ましく、50nm 以下であれば極めて望ましい。

【0019】

【発明の実施の形態】図 1 には本発明に従って構成された負性抵抗電界効果トランジスタ 10 の望ましい一実施形態が示されており、図 1 中の 2A-2A 線に沿う断面図が図 2 (A)、2B-2B 線に沿う断面図が図 2 (B) である。本実施形態では、電子の主たる走行チャネルである高移動度チャネル層 13 として、室温での電子移動度が十分に高いノンドープ InGaAs 層 13 を選択したため、これと格子定数が一致し、かつ相対的には十分低移動度となる低移動度チャネル層 14 としてノンドープ InAlAs 層 14 を選択した。なお、図中ではノンドープ層には接頭記号「i-」を付し、例えば「i-InAlAs」等と表記しており、本書でも以下ではこの表記を用いる。しかるに、この実施形態では、相対的にエネルギーバンドギャップの狭い高移動度チャネル層 13 と相対的にエネルギーバンドギャップの広い低移動度チャネル層 14 の積層構造がデュアルチャネル層を構成し

ていることになり、低移動度チャネル層14はまた、後述のように、ゲート電極16とのショットキ障壁形成層ともなっている。

【0020】基板11もデュアルチャネル層(13,14)と整合性も良く、製作上も都合の良いものを選ぶということから、分子線結晶成長法(Molecular Beam Epitaxy:MBE)を用いてリッジ形状にエッチングした(100)面InP基板11が選択されており、その上にi-InAlAsバッファ層12が厚み1000nmに亘って形成されている。その上にはさらに順次、積層関係で上述の高移動度チャネル層であるi-In GaAs層が10nm、低移動度チャネル層であるi-InAlAs層14が15nmの厚みに亘って成長させられている。

【0021】ただし、この低移動度チャネル層14は実は二層構造とも認められる。というのも、望ましくは図3のエネルギーバンド図に示すように、当該低移動度チャネル層14内に伝導帯の凹みを作るため、その厚みの途中に、n型シリコン原子層によるデルタドーピング層が含まれているからである。このデルタドーピング層は図1中に併記のように、 δ ドーピング層との表記と共に太線で示してあり、他の図面でもそうになっている。

【0022】低移動度チャネル層14の成長後、後述のようにソース電極17、ドレイン電極18のそれぞれに関するコンタクト層20を形成するため、1nm厚のn-InAlAs層21、5nm厚のn-InGaAs層22、1nm厚のn-InAs層23をそれぞれの間にデルタドーピング層を挟んで積層形成している。コンタクト層20はこのように、この実施形態では三層構造(21+22+23)であるが、格子整合性が良く、導電性が良好であって、ソース電極17、ドレイン電極18とのオーミック接触を良好に取れるものであれば、積層層数や材質は問わない。

【0023】ただ、低移動度チャネル層14の成長に関しては、通常の成長法ではインジウムの拡散長がアルミニウムのそれに比べて大きいため、下層上部にはインジウム組成の多い層が成長し、組成ずれにより格子整合に不具合が出るので、本発明者等は、他の層の成長中にもインジウム分子線量は精密に制御したが、特に低移動度チャネル層の成長中にインジウム分子線量を極めて精密に制御し、組成を任意、希望のものとした。

【0024】結晶成長完了後、表面保護のための酸化シリコン膜24を堆積させ、さらにフォトリソグラフィおよび真空蒸着装置によってソース、ドレインの各電極17、18を蒸着し、さらにその後、電子線露光によりゲートパターンを転写し、エッチング工程と真空蒸着工程を経て低移動度チャネル層14にショットキ接合する適当な金属電極、例えばTi/Pt/Auゲート電極16を形成した。なお、図示の場合、ゲート電極作製のためのエッチングにより最終的に分離されたソース電極17、ドレイン電極18のそれぞれに関するコンタクト層20は、まずは低移動度チャネル層14に接触し、当該低移動度チャネル層14をさらに介して高移動度チャネル層13に導通するように構成され

ているが、コンタクト層20が直接に高移動度チャネル層13に接触するように作製してももちろん良い。

【0025】いずれにしても上記のように、本発明電界効果トランジスタはその作製自体に関し、精密制御を要する部分はあるとは言っても、基本的には通常のFETプロセスによって簡単に作製でき、集積化にも適している。

【0026】図2中に示されるチャネル幅 L_w は、リッジ型基板上に各層を形成することで相当幅狭にでき、100nm程度にも十分できる。この幅であれば、例えば図1に示すゲート長(実質的に殆どチャネル長に等しい) L_c がかなり長く、この種の素子においては非常に長いとも思える2 μ m程度であっても、後述のチャネル幅200nmにおける実験例で得られる負性抵抗特性よりもさらに良好な負性抵抗特性が現れる。こうした幅のチャネル層は量子細線と完全に呼べる。

【0027】しかし、余りに細いと製造上の制約が増したり、厳密な管理が必要になったりするので、後述の実験例で実際に用いている寸法では、上記の通り、チャネル幅は200nmとしたのである。しかし、この幅は通常、擬似量子細線と呼べる幅であるし、本発明にては結局の所、チャネル走行キャリアに対し量子細線の特質に基づく効果を及ぼし得れば良いため、チャネル長 L_c を余り長くしなければ、十分に満足な機能を果たす。以下に述べる実験例では、チャネル長にほぼ等しいゲート長 L_c を50nmとした。

【0028】明らかなように、ゲート電極16をコンタクト層20のエッチングにより形成していることは、ソース電極17とドレイン電極18の距離自体はかなり離れていても、実際にソース、ドレインとなるべき領域はこのそれぞれの電極に関するコンタクト層20、20の部分であるので、それらは十分に近接させることができる。図に示しているように、殆どゲート電極16の間近にまで近接させるため、ゲート長が殆どチャネル長 L_c に等しい状況を作ることができる。

【0029】しかるに、本電界効果トランジスタ10のエネルギーバンドは図3に示すようになり、ドレイン電圧で加速されてホットキャリアとなった高移動度チャネル層13内のキャリアは適当なる大きさのゲート電圧の印加により、高移動度チャネル層13と低移動度チャネル層14間のエネルギー障壁を越えて低移動度チャネル層14内に移り、そこを走行するか停留する。

【0030】そのため、既に述べた通り、実効的にゲート電圧が負方向に増したのと等しい状況が生じ、ドレイン電流が減少する負性抵抗特性が発現する。改めて言い直すなら、電荷中性条件により、一定のゲート電圧で蓄えられる電子の総量は一定であるから、低移動度チャネル層14に遷移した電子の分だけ高移動度チャネル層13の電子が減少し、そのコンダクタンスが減少する。全ての電子が遷移したとすると、チャネル電流は、低移動

度チャネル層14の移動度を高移動度チャネル層13の移動度で除した値になり、この実施形態の材料例の場合には約1/10となる。ここで、デュアルチャネル層14内に図示のようにデルタドーピング層が設けられていると、その部分を最深部とする凹みが伝導帯に生じ、トンネル遷移してきたキャリアの安定な捕捉、停留を保証する。しかし、原理的にはこのデルタドーピング層はなくても良く、既述したデュアルチャネル層構造が満足されていれば良い。

【0031】図4には図1、2の構成によりチャネル幅 L_w を 200nm、チャネル長（ゲート長 L_c ）を 50nm とした場合に得られた本発明負性抵抗電界効果トランジスタ10の特性図が示されており、ゲート電圧 $V_g = 4.5V$ の時、ドレイン電圧 $V_{ds} = 0.3V$ 近傍でドレイン電流 I_{ds} に明瞭かつ急峻で十分満足な負性抵抗特性が認められている。さらに、そのPVCRは最大で8にも達しており、極めて望ましい結果が得られている。谷の部分のドレイン電流は略々平らである。温度環境は60K である。

【0032】このように低いドレイン電圧で、しかも十分高いPVCRを持つ急峻な負性抵抗特性が得られたのは初めてであり、また、ゲート電圧 V_g に関しては、これを0.5Vずつ低減していった各特性図からも分かる通り、ゲート電圧をかなり低くしても、従来得られていた特性を上回る性能が得られている。さらに、チャネル幅 L_w がこの実験例におけるように 200nm程度にまで狭いと、チャネル長 L_c を 100nm程度にまで増しても、PVCRの若干の低下はあるにしろ、殆ど変わらない負性抵抗特性が得られる。PVCRよりも低ドレイン電圧を重視するなら、さらにチャネル長は長くしても構わない。

【0033】図5は図4の特性を取ったときと同条件下における本発明負性抵抗特性電界効果トランジスタ10のヒステリシス特性を示していて、これから分かるように、余りヒステリシスは認められない。同図にはゲート電流も併示されているが、負性抵抗特性の発現と共に微小な電流オーダではあるがゲート電流が増加している。このことはつまり、生じている現象が、確かにホットキャリアの実空間遷移に起因することを証している。

【0034】図6は負性抵抗のPVCRにおける温度依存性を示している。負性抵抗のPVCRは温度上昇と共に減少し、200K付近にまで至ると負性抵抗特性は消失した。なお、本図には示していないが、負性抵抗特性の生ずるドレイン電圧はデバイス温度の上昇と共に低減する傾向にあった。これは、キャリア温度の上昇がキャリアの遷移すべき障壁層の高さの相対的な低下を招いたためと考えられる。

【0035】図7は、断面構造としては図1、2に示した構造と同様であるが、チャネル幅 L_w を意図的に広め、500nmとし、ただしゲート長（チャネル長） L_c は十分短い50nmに留めた場合の実験例における特性を示している。明らかにPVCRは2程度と小さくなったが、負性抵抗特性

の発現するドレイン電圧 V_{ds} は十分低く、ゲート電圧 V_g に依存するものの、0.2-0.35V程度に留まっており、低消費電力素子としての応用を第一義と考えるならば、十分に満足な値を示している。もともと、デバイス温度は相当低く、28Kである。

【0036】しかし、このような実験例は、最早、量子細線と呼ぶにはふさわしくない幅のデュアルチャネル層を用いても、ゲート長に勘案すれば、少なくとも量子細線によるホットキャリア散乱抑制効果はいくらか認められることを示しており、本発明が寸法的にこの範囲を含む所以でもある。デュアルチャネル層の上記チャネル幅が 200nmを越えて 500nmを上限とする範囲であっても、チャネル長をデュアルチャネル層に現れる量子細線の特質を損なわない長さに留めれば良い、ということになる。

【0037】先にも少し述べたとおり、低移動度チャネル層14は高移動度チャネル層13に対し、ゲート電極側ではなくて基板側に設けられていても、既述した所と同様のメカニズムによる負性抵抗特性が期待でき、場合によっては高移動度チャネル層13を挟み、その上下双方に設けられていても良い。実際、図示の実験素子においても、本来基板11との化学的、物理的整合性を探るために設けられているパッファ層12の側へのホットキャリア遷移が起きているのではないかとこの兆候が認められる場合もあった。これはゲート電圧 V_g を正に印加していてもそうである。ホットキャリアの振る舞いによるものであるがためである。また、これも既述したように、本発明の負性抵抗特性電界効果トランジスタでは、負性抵抗特性が現れるドレイン電圧 V_{ds} にゲート電圧依存性があることから、この負性抵抗特性は、ゲート電界型実空間遷移 (field-assisted real space transfer) によるものと言える。さらに、ゲート電極16は、図示の場合、ショットキ接合を構成しているが、化合物ヘテロ接合構造でも制作上の制約が緩和されるならば、通常の絶縁ゲート型であってもちろん良い。

【0038】

【発明の効果】以上、本発明の望ましい実施形態に即し説明したが、本発明の負性抵抗特性電界効果トランジスタは低ドレイン電圧で負性抵抗が得られること、ダブルバリア構造などが不要でデバイス構造が単純であること等、これまでにない利点、特長を有し、低消費電力での高周波発振器やメモリ等への応用が期待できる。ゲート長も一般に短くすればする程良いので、これは高周波化、高速動作化にとっても望ましい結果となる。

【0039】さらに、特定の実施形態ではPVCRも極めて大きくとることができ、応用デバイスの高性能化にも寄与し得る。

【図面の簡単な説明】

【図1】本発明の負性抵抗特性電界効果トランジスタの一実施形態における断面図である。

【図2】図1中の2A-2A線及び2B-2B線に沿う断面図である。

【図3】図1に示す素子のエネルギーバンド図である。

【図4】図1の素子により得られた負性抵抗特性例の特性図である。

【図5】図1の素子により得られたヒステリシス特性とゲート電流の特性図である

【図6】図1の素子において負性抵抗特性の温度依存性を示す特性図である。

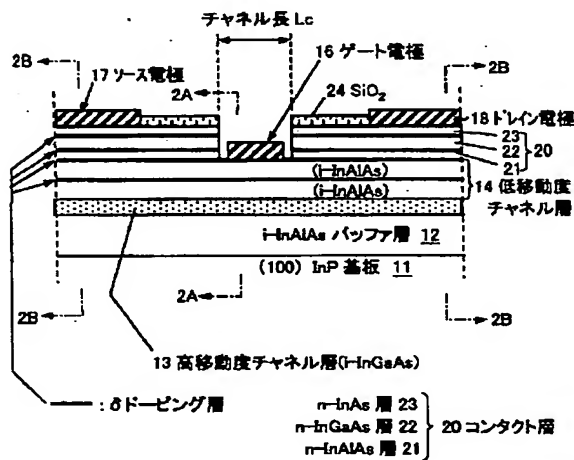
【図7】図1の素子の断面構造に従うがチャネル幅を広めた実施形態において得られた負性抵抗特性例の特性図*

*である。

【符号の説明】

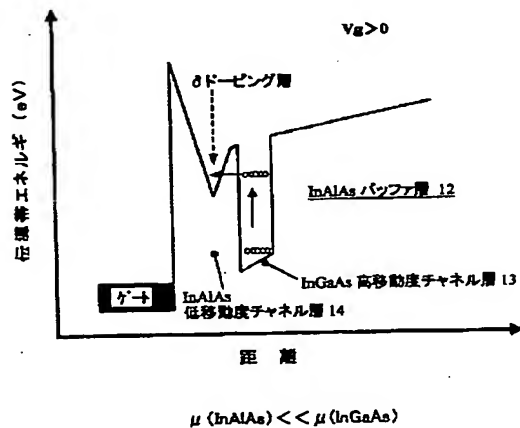
- 10 本発明負性抵抗電界効果トランジスタ
- 11 基板
- 12 バッファ層
- 13 高移動度チャネル層
- 14 低移動度チャネル層
- 16 ゲート電極
- 17 ソース電極
- 18 ドレイン電極
- コンタクト層

【図1】



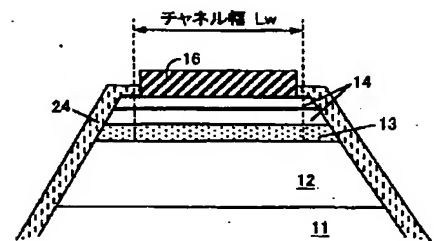
(本発明)負性抵抗電界効果トランジスタ 10

【図3】

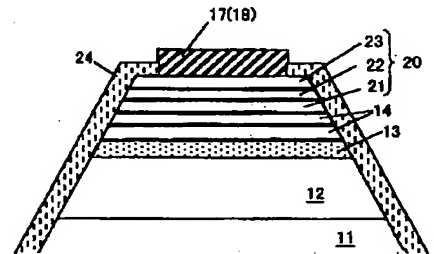


【図2】

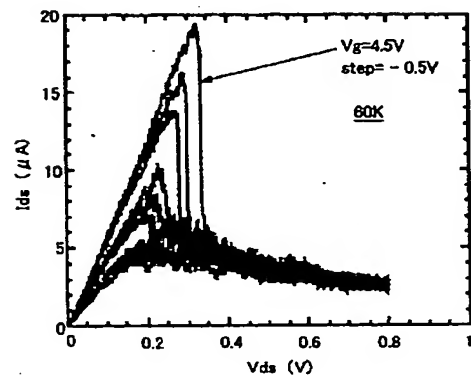
(A)



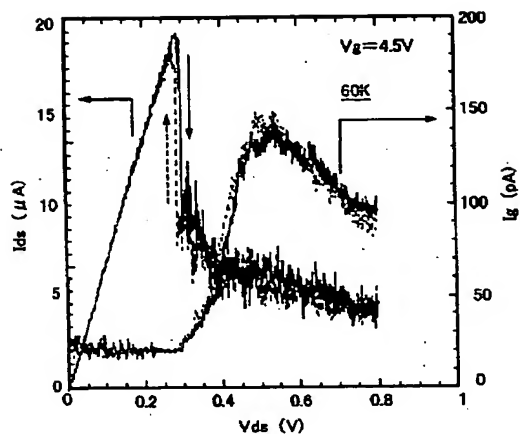
(B)



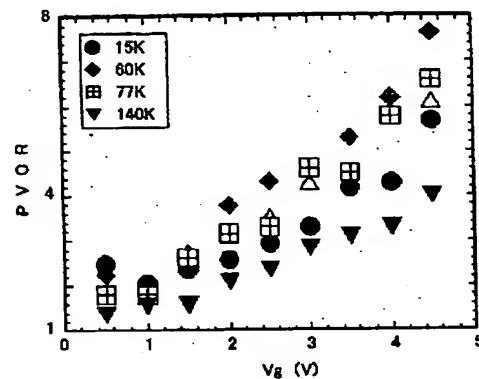
【図4】



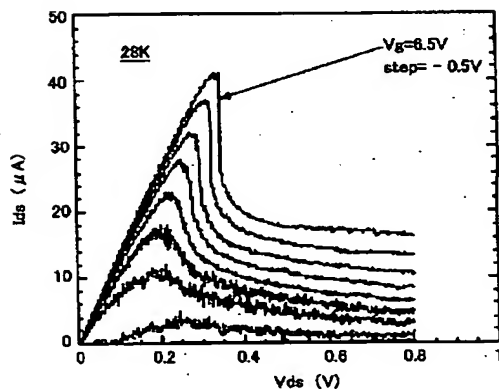
【図5】



【図6】



【図7】



フロントページの続き

- (71)出願人 500017313
 杉山 佳延
 茨城県つくば市梅園1丁目1番4 工業技
 術院電子技術総合研究所内
 (72)発明者 菅谷 武芳
 茨城県つくば市梅園1丁目1番4 工業技
 術院電子技術総合研究所内
 (72)発明者 金 成珍
 茨城県つくば市梅園1丁目1番4 工業技
 術院電子技術総合研究所内

- (72)発明者 小倉 睦郎
 茨城県つくば市梅園1丁目1番4 工業技
 術院電子技術総合研究所内
 (72)発明者 杉山 佳延
 茨城県つくば市梅園1丁目1番4 工業技
 術院電子技術総合研究所内
 Fターム(参考) 5F045 AA05 AB17 AF04 AF13 BB16
 DA53 DA56 DA63
 5F102 FB03 GB01 GC01 GD01 GJ06
 GK04 GL00 GL04 GL08 GL16
 GL17 GL20 GM04 GM08 GN04
 GN08 GQ01 GR04 GT03 HA13
 HC01 HC04

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record.

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.